

Translation

PATENT COOPERATION TREATY

PCT/DE2003/00096



PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

19 OCT 2004

Applicant's or agent's file reference I0349WO/MGL	FOR FURTHER ACTION See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/DE2003/000964	International filing date (day/month/year) 24 March 2003 (24.03.2003)	Priority date (day/month/year) 19 April 2002 (19.04.2002)
International Patent Classification (IPC) or national classification and IPC H01L 23/522		
Applicant INFINEON TECHNOLOGIES AG		

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.

2. This REPORT consists of a total of 5 sheets, including this cover sheet.

☒ This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).

These annexes consist of a total of 6 sheets.

3. This report contains indications relating to the following items:

- I ☒ Basis of the report
- II ☐ Priority
- III ☐ Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- IV ☐ Lack of unity of invention
- V ☒ Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- VI ☐ Certain documents cited
- VII ☐ Certain defects in the international application
- VIII ☐ Certain observations on the international application

Date of submission of the demand 20 October 2003 (20.10.2003)	Date of completion of this report 07 October 2004 (07.10.2004)
Name and mailing address of the IPEA/EP	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/DE2003/000964

I. Basis of the report

1. This report has been drawn on the basis of *(Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to the report since they do not contain amendments.)*:

- ☐ the international application as originally filed.
- ☒ the description, pages 1-20, as originally filed,
 pages _____, filed with the demand,
 pages _____, filed with the letter of _____,
 pages _____, filed with the letter of _____.
- ☒ the claims, Nos. _____, as originally filed,
 Nos. _____, as amended under Article 19,
 Nos. _____, filed with the demand,
 Nos. 1-19, filed with the letter of 23 June 2004 (23.06.2004),
 Nos. _____, filed with the letter of _____.
- ☒ the drawings, sheets/fig 1/6-6/6, as originally filed,
 sheets/fig _____, filed with the demand,
 sheets/fig _____, filed with the letter of _____,
 sheets/fig _____, filed with the letter of _____.

2. The amendments have resulted in the cancellation of:

- ☐ the description, pages _____
- ☐ the claims, Nos. _____
- ☐ the drawings, sheets/fig _____

3. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).

4. Additional observations, if necessary:

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/DE 03/00964

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

1. Statement

Novelty (N)	Claims	1-19	YES
	Claims	-	NO
Inventive step (IS)	Claims	1-19	YES
	Claims	-	NO
Industrial applicability (IA)	Claims	1-19	YES
	Claims	-	NO

2. Citations and explanations

1. Reference is made to the following document:

D1: WO-A-01/99163 (PHILIPS ELECTRONICS NV)
27 December 2001.

2.1 Document D1 is considered to be the closest prior art for the subject matter of **claim 1**. D1 discloses (the references in parentheses are to D1):

a CMOS component having a capacitor structure, which comprises:

- at least two metallization planes (L1, L5 in figure 6);
- electrically conductive regions between the metallization planes (L2 to L4 in figure 6), each electrically conductive region being connected to only one metallization plane by conductive vias.

The subject matter of claim 1 differs from the above in that said electrically conductive regions between the metallization planes are configured as homogeneous, continuous regions, and therefore the connection by means of conductive vias can be dispensed with. The subject matter of claim 1 is therefore novel.

2.2 The structure is produced as a homogeneous, continuous raised portion using a Damascene process. The use of this technique is not suggested by the prior art. The subject matter of claim 1 is therefore inventive.

2.3 Document D1 further discloses:

a method for producing a semiconductor component (page 6, lines 21 ff.), in which method an electrically conductive region (second layer of metal, page 7, line 8) is formed between metallization planes in an insulating layer (silicon dioxide, page 7, line 3) and is connected to only one of the metallization planes (figure 6 in D1).

The subject matter of claim 16 differs from the above in that said electrically conductive regions between the metallization planes are configured as homogeneous, continuous regions, and therefore the step of connection by means of conducting vias can be dispensed with. The subject matter of claim 16 is therefore novel.

2.4 The reasoning concerning claim 1 also applies, *mutatis mutandis*, to claim 16. The subject matter of claim 16 is therefore inventive.

3. **Claim 2** is not clear. In claim 2 a capacitor structure is characterized by a method for producing it. The decisive technical (structural) feature which results from this method of production, namely that the electrically conductive regions located between the metallization planes are configured as homogeneous, continuous regions, is already mentioned in claim 1. Consequently, claim 2 contains no additional features.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/DE 03/00964

4. The remaining claims, being dependent claims, are both novel and inventive.

VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS

PCT

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

(Artikel 36 und Regel 70 PCT)

REC'D 07 OCT 2004

PCT

19 OCT 2004



Aktenzeichen des Anmelders oder Anwalts I0349WOMGL	WEITERES VORGEHEN siehe Mitteilung über die Übersendung des internationalen vorläufigen Prüfungsberichts (Formblatt PCT/PEA/416)	
Internationales Aktenzeichen PCT/DE 03/00964	Internationales Anmeldedatum (Tag/Monat/Jahr) 24.03.2003	Prioritätsdatum (Tag/Monat/Jahr) 19.04.2002
Internationale Patentklassifikation (IPK) oder nationale Klassifikation und IPK H01L23/522		
Anmelder INFINEON TECHNOLOGIES AG et al.		

- Dieser internationale vorläufige Prüfungsbericht wurde von der mit der internationalen vorläufigen Prüfung beauftragten Behörde erstellt und wird dem Anmelder gemäß Artikel 36 übermittelt.
- Dieser BERICHT umfaßt insgesamt 5 Blätter einschließlich dieses Deckblatts.
 - ☒ Außerdem liegen dem Bericht ANLAGEN bei; dabei handelt es sich um Blätter mit Beschreibungen, Ansprüchen und/oder Zeichnungen, die geändert wurden und diesem Bericht zugrunde liegen, und/oder Blätter mit vor dieser Behörde vorgenommenen Berichtigungen (siehe Regel 70.16 und Abschnitt 607 der Verwaltungsrichtlinien zum PCT).

Diese Anlagen umfassen insgesamt 6 Blätter.

- Dieser Bericht enthält Angaben zu folgenden Punkten:

- I ☒ Grundlage des Bescheids
- II ☐ Priorität
- III ☐ Keine Erstellung eines Gutachtens über Neuheit, erfinderische Tätigkeit und gewerbliche Anwendbarkeit
- IV ☐ Mangelnde Einheitlichkeit der Erfindung
- V ☒ Begründete Feststellung nach Regel 66.2 a)ii) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung
- VI ☐ Bestimmte angeführte Unterlagen
- VII ☐ Bestimmte Mängel der internationalen Anmeldung
- VIII ☐ Bestimmte Bemerkungen zur internationalen Anmeldung

Datum der Einreichung des Antrags 20.10.2003	Datum der Fertigstellung dieses Berichts 07.10.2004
Name und Postanschrift der mit der internationalen Prüfung beauftragten Behörde  Europäisches Patentamt - P.B. 5818 Patentlaan 2 NL-2280 HV Rijswijk - Pays Bas Tel. +31 70 340 - 2040 Tx: 31 651 epo nl Fax: +31 70 340 - 3016	Bevollmächtigter Bediensteter Kästner, M Tel. +31 70 340-2598 

I. Grundlage des Berichts

1. Hinsichtlich der **Bestandteile** der internationalen Anmeldung (*Ersatzblätter, die dem Anmeldeamt auf eine Aufforderung nach Artikel 14 hin vorgelegt wurden, gelten im Rahmen dieses Berichts als "ursprünglich eingereicht" und sind ihm nicht beigelegt, weil sie keine Änderungen enthalten (Regeln 70.16 und 70.17)*):

Beschreibung, Seiten

1-20 in der ursprünglich eingereichten Fassung

Ansprüche, Nr.

1-19 eingegangen am 23.06.2004 mit Schreiben vom 22.06.2004

Zeichnungen, Blätter

1/6-6/6 in der ursprünglich eingereichten Fassung

2. Hinsichtlich der **Sprache**: Alle vorstehend genannten Bestandteile standen der Behörde in der Sprache, in der die internationale Anmeldung eingereicht worden ist, zur Verfügung oder wurden in dieser eingereicht, sofern unter diesem Punkt nichts anderes angegeben ist.

Die Bestandteile standen der Behörde in der Sprache: zur Verfügung bzw. wurden in dieser Sprache eingereicht; dabei handelt es sich um:

- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen Recherche eingereicht worden ist (nach Regel 23.1(b)).
- ☐ die Veröffentlichungssprache der internationalen Anmeldung (nach Regel 48.3(b)).
- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen vorläufigen Prüfung eingereicht worden ist (nach Regel 55.2 und/oder 55.3).

3. Hinsichtlich der in der internationalen Anmeldung offenbarten **Nucleotid- und/oder Aminosäuresequenz** ist die internationale vorläufige Prüfung auf der Grundlage des Sequenzprotokolls durchgeführt worden, das:

- ☐ in der internationalen Anmeldung in schriftlicher Form enthalten ist.
- ☐ zusammen mit der internationalen Anmeldung in computerlesbarer Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in schriftlicher Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in computerlesbarer Form eingereicht worden ist.
- ☐ Die Erklärung, daß das nachträglich eingereichte schriftliche Sequenzprotokoll nicht über den Offenbarungsgehalt der internationalen Anmeldung im Anmeldezeitpunkt hinausgeht, wurde vorgelegt.
- ☐ Die Erklärung, daß die in computerlesbarer Form erfassten Informationen dem schriftlichen Sequenzprotokoll entsprechen, wurde vorgelegt.

4. Aufgrund der Änderungen sind folgende Unterlagen fortgefallen:

- ☐ Beschreibung, Seiten:
- ☐ Ansprüche, Nr.:
- ☐ Zeichnungen, Blatt:

5. ☐ Dieser Bericht ist ohne Berücksichtigung (von einigen) der Änderungen erstellt worden, da diese aus den angegebenen Gründen nach Auffassung der Behörde über den Offenbarungsgehalt in der ursprünglich eingereichten Fassung hinausgehen (Regel 70.2(c)).

(Auf Ersatzblätter, die solche Änderungen enthalten, ist unter Punkt 1 hinzuweisen; sie sind diesem Bericht beizufügen.)

6. Etwaige zusätzliche Bemerkungen:

V. Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung

- | | |
|--------------------------------|---|
| 1. Feststellung | |
| Neuheit (N) | Ja: Ansprüche 1-19
Nein: Ansprüche - |
| Erfinderische Tätigkeit (IS) | Ja: Ansprüche 1-19
Nein: Ansprüche - |
| Gewerbliche Anwendbarkeit (IA) | Ja: Ansprüche: 1-19
Nein: Ansprüche: - |

2. Unterlagen und Erklärungen:

siehe Beiblatt

Zu Punkt V

Begründete Feststellung hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung

1. Es wird auf die folgenden Dokumente verwiesen:

D1: WO 01 99163 A (PHILIPS ELECTRONICS NV) 27. Dezember 2001

2.1 Das Dokument D1 wird als nächstliegender Stand der Technik gegenüber dem Gegenstand des **Anspruchs 1** angesehen. Es offenbart (die Verweise in Klammern beziehen sich auf dieses Dokument):

Ein CMOS-Bauelement mit einer Kapazitätsstruktur mit

- mindestens zwei Metallisierungsebenen (L1, L5 in Fig. 6)
- elektrisch leitenden Bereichen zwischen den Metallisierungsebenen (L2 bis L4 in Fig. 6), die jeweils nur mit einer der Metallisierungsebenen durch leitende Vias verbunden sind,

wovon sich der Gegenstand des Anspruchs 1 dadurch unterscheidet, daß die besagten elektrisch leitenden Bereiche zwischen den Metallisierungsebenen als homogene, zusammenhängende Bereiche ausgebildet sind, so daß die Verbindung durch leitende Vias wegfallen kann. Der Gegenstand von Anspruch 1 ist daher neu.

2.2 Die Realisierung der Struktur als homogen zusammenhängende Erhebung wird durch den Einsatz eines Damaszener-Prozesses möglich. Die Verwendung dieser Technik wird durch den Stand der Technik nicht nahegelegt. Der Gegenstand von Anspruch 1 ist daher erfinderisch.

2.3 Dokument D1 offenbart weiter:

Ein Verfahren zum Herstellen eines Halbleiterbauelements (S. 6, Z. 21 ff), bei dem in einer Isolationsschicht (silicon dioxide, S. 7 Z. 3) zwischen Metallisierungsebenen ein elektrisch leitender Bereich ausgebildet wird (second layer of metal, S. 7, Z. 8) und nur mit einer der Metallisierungsebenen verbunden wird (Fig. 6 in D1),

wovon sich der Gegenstand des Anspruchs 16 dadurch unterscheidet, daß die

besagten elektrisch leitenden Bereiche zwischen den Metallisierungsebenen als homogene, zusammenhängende Bereiche ausgebildet werden, so daß der Schritt des Verbindens durch leitende Vias wegfallen kann. Der Gegenstand von Anspruch 16 ist daher neu.

2.4 Die Argumentation zu Anspruch 1 gilt sinngemäß auch für Anspruch 16. Der Gegenstand von Anspruch 16 ist daher erfinderisch.

3. **Anspruch 2** ist nicht klar. In Anspruch 2 wird eine Kondensatorstruktur durch eine Methode zu ihrer Herstellung charakterisiert. Das entscheidende technische (strukturelle) Merkmal, das aus dieser Herstellungsmethode resultiert, nämlich die Tatsache, daß die zwischen den Metallisierungsebenen liegenden elektrisch leitenden Bereiche als homogene, zusammenhängende Bereiche ausgebildet sind, ist bereits in Anspruch 1 genannt. Anspruch 2 enthält daher auch keine weitergehenden Merkmale.

4. Die verbleibenden Ansprüche sind als abhängige Ansprüche sowohl neu als auch erfinderisch.

Neue Patentansprüche 1 bis 19

1. Halbleiterbauelement

- 5 - mit einem Halbleitersubstrat und einer auf dem Halbleitersubstrat ausgebildeten Isolationsschicht und
- mit einer Kapazitätsstruktur, welche in der Isolationsschicht ausgebildet ist, wobei die Kapazitätsstruktur mindestens zwei Metallisierungsebenen (1 bis 7) zur Erzeugung
- 10 eines ersten Teils einer Kapazitätsoberfläche aufweist, welche sich im wesentlichen parallel zur Substratoberfläche erstrecken und jeweils mit einer von zwei Anschlussleitungen elektrisch verbunden sind, wobei
- die Kapazitätsstruktur mindestens einen elektrisch leitenden Bereich (1a bis 1j; 2a bis 2j; 31a bis 36a; 41a bis
- 15 46a; 5a bis 5f) aufweist, welcher zur Erzeugung eines zweiten Teils der Kapazitätsoberfläche zwischen den Metallisierungsebenen (1 bis 7) in der Isolationsschicht ausgebildet ist, und
- 20 - der elektrisch leitende Bereich (1a bis 1j; 2a bis 2j; 31a bis 36a; 41a bis 46a; 5a bis 5f) nur mit einer der Metallisierungsebenen (1 bis 7) elektrisch verbunden ist,
- d a d u r c h g e k e n n z e i c h n e t, dass
- der elektrisch leitende Bereich (1a bis 1j; 2a bis 2j; 31a
- 25 bis 36a; 41a bis 46a; 5a bis 5f) als homogene, zusammenhängende Erhebung ausgebildet ist.

2. Halbleiterbauelement nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t, dass

- 30 - die elektrisch leitenden Bereiche (1a bis 1j; 2a bis 2j; 31a bis 36a; 41a bis 46a; 5a bis 5f) durch einen Damaszener-Prozess hergestellte Gebiete sind.

3. Halbleiterbauelement nach Anspruch 1 oder 2,

35 d a d u r c h g e k e n n z e i c h n e t, dass

der elektrisch leitende Bereich (1a bis 1j; 2a bis 2j; 31a bis 36a; 41a bis 46a; 5a bis 5f) im wesentlichen senkrecht zu den Metallisierungsebenen (1 bis 7) angeordnet ist.

5 4. Halbleiterbauelement nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t, dass
jede der beiden Metallisierungsebenen (1, 2) als zusammenhängende
10 Platte ausgebildet ist und mit zumindest jeweils einem elektrisch leitenden Bereich (1a bis 1j; 2a bis 2j) verbunden ist.

5. Halbleiterbauelement nach Anspruch 4,
d a d u r c h g e k e n n z e i c h n e t, dass
15 die erste Metallisierungsebene (1) mit mehreren stabförmig ausgebildeten ersten elektrisch leitenden Bereichen (1a bis 1j) und die zweite Metallisierungsebene (2) mit mehreren stabförmig ausgebildeten zweiten elektrisch leitenden Bereichen (2a bis 2j) verbunden ist.

20 6. Halbleiterbauelement nach Anspruch 5,
d a d u r c h g e k e n n z e i c h n e t, dass
die ersten stabförmigen, elektrisch leitenden Bereiche (1a bis 1j) mit einem festen Abstand (a) zueinander an der ersten
25 Metallisierungsebene (1) angeordnet sind und sich in Richtung zur zweiten Metallisierungsebene (2) erstrecken und die zweiten stabförmigen, elektrisch leitenden Bereiche (2a bis 2j) mit einem festen Abstand (a) derart zueinander an der zweiten Metallisierungsebene (2) angeordnet sind, dass sie sich je-
30 weils zwischen den ersten stabförmigen Bereichen (1a bis 1j) in Richtung zur ersten Metallisierungsebene (1) hin erstrecken.

7. Halbleiterbauelement nach Anspruch 6,
35 d a d u r c h g e k e n n z e i c h n e t, dass
die ersten stabförmigen Bereiche (1a bis 1j) eine erste Länge L_1 aufweisen, die zweiten stabförmigen Bereiche (2a bis 2j)

eine zweite Länge L_2 , aufweisen, wobei die Länge L_2 größer, kleiner oder gleich der Länge L_1 ist, und die Summe der Längen L_1 und L_2 eines ersten und eines zweiten stabförmigen Bereichs (1a bis 1j; 2a bis 2j) größer als ein Abstand (b) zwischen den beiden Metallisierungsebenen (1, 2) ist.

8. Halbleiterbauelement nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass beide Metallisierungsebenen (3, 4) jeweils aus zumindest zwei parallel zueinander angeordneten elektrischen Leitungen (31 bis 36; 41 bis 46) aufgebaut sind und die elektrischen Leitungen (31 bis 36) der ersten Metallisierungsebene (3) deckungsgleich zu den elektrischen Leitungen (41 bis 46) der zweiten Metallisierungsebene (4) angeordnet sind.

9. Halbleiterbauelement nach Anspruch 8, dadurch gekennzeichnet, dass auf jeder der ersten und zweiten elektrischen Leitungen (31 bis 36; 41 bis 46) jeweils zumindest ein elektrisch leitender Bereich (31a bis 36a; 41a bis 46a) angeordnet ist.

10. Halbleiterbauelement nach Anspruch 9, dadurch gekennzeichnet, dass mehrere stabförmig ausgebildete erste elektrisch leitende Bereiche (31a bis 36a) im festen Abstand (c) voneinander an jeder der ersten elektrischen Leitungen (31 bis 36) angeordnet sind und sich in Richtung der zweiten elektrischen Leitungen (41 bis 46) erstrecken und mehrere stabförmig ausgebildete zweite elektrisch leitende Bereiche (41a bis 46a) ebenfalls im festen Abstand (c) aber versetzt zu den ersten elektrisch leitenden Bereichen (31a bis 36a) an jeder der zweiten elektrischen Leitungen (41 bis 46) angeordnet sind und sich zwischen den ersten stabförmigen elektrisch leitenden Bereichen (31a bis 36a) in Richtung der ersten elektrischen Leitungen (31 bis 36) erstrecken.

11. Halbleiterbauelement nach Anspruch 10,
dadurch gekennzeichnet, dass
die stabförmigen ersten Bereiche (31a bis 36a) eine erste
Länge L_1 aufweisen, die stabförmigen zweiten Bereiche (41a
5 bis 46a) eine zweite Länge L_2 , aufweisen, wobei die Länge L_2
größer, kleiner oder gleich der Länge L_1 ist, und die Summe
der Längen L_1 und L_2 eines ersten und eines zweiten stabförmigen
Bereichs (31a bis 36a; 41a bis 46a) größer als der Ab-
stand (d) zwischen den elektrischen Leitungen (31 bis 36; 41
10 bis 46) ist.

12. Halbleiterbauelement nach einem der Ansprüche 1 bis 3,
dadurch gekennzeichnet, dass
eine der beiden Metallisierungsebenen (5) als zusammenhängen-
15 de Platte und die zweite Metallisierungsebene (6) in Form ei-
nes Gitters ausgebildet ist.

13. Halbleiterbauelement nach Anspruch 12,
dadurch gekennzeichnet, dass
20 auf der als zusammenhängende Platte ausgebildeten Metallisie-
rungsebene (5) zumindest ein stabförmig ausgebildeter, elekt-
risch leitender Bereich (5a bis 5f) angeordnet ist, der sich
in Richtung zur zweiten gitterförmigen Metallisierungsebene
(6) erstreckt und zumindest teilweise in eine Aussparung der
25 gitterförmigen Metallisierungsebene (6) hineinragt.

14. Halbleiterbauelement nach einem der Ansprüche 12 oder 13,
dadurch gekennzeichnet, dass
eine gitterförmige dritte Metallisierungsebene (7) parallel
30 und beabstandet zur zweiten Metallisierungsebene (6) auf die-
ser angeordnet ist und die zweite und dritte Metallisierungs-
ebene (6, 7) mittels elektrischer Verbindungen (61) miteinan-
der elektrisch verbunden sind.

35 15. Halbleiterbauelement nach Anspruch 14,
dadurch gekennzeichnet, dass

die stabförmigen, elektrisch leitenden Bereiche (5a bis 5f) derart ausgebildet sind, dass sie durch die Aussparungen der zweiten Metallisierungsebene (6) hindurchragen und sich zumindest teilweise in die Aussparungen der dritten Metallisierungsebene (7) hinein erstrecken.

16. Verfahren zum Herstellen eines Halbleiterbauelements, bei dem auf einem Halbleitersubstrat eine Isolationsschicht abgeschieden wird und in der Isolationsschicht eine Kapazitätsstruktur (K) erzeugt wird, wobei die Kapazitätsstruktur (K) zumindest zwei Metallisierungsebenen (1 bis 7) aufweist, die im wesentlichen parallel zur Substratoberfläche ausgebildet werden,

d a d u r c h g e k e n n z e i c h n e t, dass ein elektrisch leitender, homogener Bereich (1a bis 1j; 2a bis 2j; 31a bis 36a; 41a bis 46a; 5a bis 5f) in der Isolationsschicht zwischen den Metallisierungsebenen (1 bis 7) ausgebildet wird und der elektrisch leitende Bereich (1a bis 1j; 2a bis 2j; 31a bis 36a; 41a bis 46a; 5a bis 5f) nur mit einer der Metallisierungsebenen (1 bis 7) elektrisch verbunden wird.

17. Verfahren nach Anspruch 16, d a d u r c h g e k e n n z e i c h n e t, dass der elektrisch leitende Bereich (1a bis 1j; 2a bis 2j; 31a bis 36a; 41a bis 46a; 5a bis 5f) als homogene zusammenhängende Erhebung ausgebildet wird, wobei der elektrische Bereich (1a bis 1j; 2a bis 2j; 31a bis 36a; 41a bis 46a; 5a bis 5f) ohne ein derartiges metallisches Gebiet ausgebildet wird, welches durch eine Strukturierung einer Metallisierungsebene (1 bis 7) erzeugbar ist

18. Verfahren nach einem der Ansprüche 16 oder 17, d a d u r c h g e k e n n z e i c h n e t, dass der elektrisch leitende Bereich (1a bis 1j; 2a bis 2j; 31a bis 36a; 41a bis 46a; 5a bis 5f) in der Isolationsschicht als Via-Struktur ausgebildet wird.

19. Verfahren nach einem der Ansprüche 16 bis 18,
d a d u r c h g e k e n n z e i c h n e t, dass
der elektrisch leitenden Bereich (1a bis 1j; 2a bis 2j; 31a
5 bis 36a; 41a bis 46a; 5a bis 5f) im wesentlichen senkrecht zu
den Metallisierungsebenen (1 bis 7) ausgebildet wird.